

DIALOG(R)File 352:Derwent WPI

(c) 2001 Derwent Info Ltd. All rts. reserv.

010021096 **Image available**

WPI Acc No: 1994-288808/199436

Related WPI Acc No: 1994-288809; 1999-303466; 2000-122431; 2000-132662;
2000-132663; 2000-248766

XRAM Acc No: C94-131611

XRPX Acc No: N94-227546

MIS device production method - incorporating laser irradiation of active
regions, adjoining areas and island like semiconductor domain

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME)

Inventor: TAKEMURA Y; YAMAZAKI S

Number of Countries: 005 Number of Patents: 010

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 6216156	A	19940805	JP 9323286	A	19930118	199436 B
US 5523257	A	19960604	US 94181906	A	19940118	199628
CN 1093491	A	19941012	CN 94101919	A	19940118	199717
US 5736750	A	19980407	US 94181906	A	19940118	199821
			US 95419704	A	19950411	
			US 96654052	A	19960528	
US 5891766	A	19990406	US 94181906	A	19940118	199921
			US 95419704	A	19950411	
			US 96654052	A	19960528	
			US 96721537	A	19960926	
CN 1241816	A	20000119	CN 94101919	A	19940118	200023
			CN 99108890	A	19940118	
KR 161994	B1	19981201	KR 941011	A	19940118	200032
US 6114728	A	20000905	US 94181906	A	19940118	200044
			US 95419704	A	19950411	
			US 96654052	A	19960528	
			US 96721537	A	19960926	
			US 99251436	A	19990217	
TW 403972	A	20000901	TW 94100226	A	19940113	200112
TW 425637	A	20010311	TW 2000102357	A	19940113	200143

Priority Applications (No Type Date): JP 9323286 A 19930118; JP 9323288 A
19930118

Patent Details:

Patent No	Kind	Land Pg	Main IPC	Filing Notes
JP 6216156	A	8	H01L-021/336	
US 5523257	A	18	H01L-021/26	
CN 1093491	A		H01L-021/336	
US 5736750	A	18	H01L-027/02	Div ex application US 94181906 Cont of application US 95419704 Div ex patent US 5523257
US 5891766	A		H01L-021/00	Div ex application US 94181906 Cont of application US 95419704 Div ex application US 96654052 Div ex patent US 5523257

			Div ex patent US 5736750
CN 1241816	A	H01L-027/04	Div ex application CN 94101919
KR 161994	B1	H01L-029/786	
US 6114728	A	H01L-029/00	Div ex application US 94181906 Cont of application US 95419704 Div ex application US 96654052 Div ex application US 96721537 Div ex patent US 5523257 Div ex patent US 5736750 Div ex patent US 5891766
TW 403972	A	H01L-021/334	
TW 425637	A	H01L-021/334	

Abstract (Basic): JP 6216156 A

The MIS type semiconductor device mfr. is applied to a substrate (101). Ground insulating film (102) is formed on substrate. Gate insulation film (104) is formed on ground insulation film with an island-like semiconductor domain (104) formed in this central portion. The p-type impurity ions are poured on the top surface of the island like domain (103) after forming gate electrode (105). Laser or strong light irradiation is applied to the active region and adjoining areas. Next electrode wiring is formed in the source and drain domains.

ADVANTAGE - Increases reliability of MIS type semiconductor elements. Stabilises transistor characteristics. Dwg.1/5

Title Terms: MIS; DEVICE; PRODUCE; METHOD; INCORPORATE; LASER; IRRADIATE; ACTIVE; REGION; ADJOIN; AREA; ISLAND; SEMICONDUCTOR; DOMAIN

Derwent Class: L03; U11

International Patent Class (Main): H01L-021/00; H01L-021/26; H01L-021/334; H01L-021/336; H01L-027/02; H01L-027/04; H01L-029/00; H01L-029/786

International Patent Class (Additional): H01L-021/20; H01L-021/28; H01L-021/768; H01L-029/04; H01L-029/784

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

04544256 **Image available**

MIS-TYPE SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

PUB. NO.: **06-216156** [JP 6216156 A]

PUBLISHED: August 05, 1994 (19940805)

INVENTOR(s): YAMAZAKI SHUNPEI

TAKEMURA YASUHIKO

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 05-023286 [JP 9323286]

FILED: January 18, 1993 (19930118)

INTL CLASS: [5] H01L-021/336; H01L-029/784; H01L-021/20

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS); R004 (PLASMA); R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 1624, Vol. 18, No. 573, Pg. 156,
November 02, 1994 (19941102)

ABSTRACT

PURPOSE: To achieve the continuity of the crystalline property of an active region and an impurity region and to obtain a device having high reliability by applying intense light to the boundary part between the impurity region and the active region and the like when the intense light such as laser is applied to the impurity region, and activating the region.

CONSTITUTION: A wiring 105 is formed on a semiconductor 103 with a conductive material through an insulating film 104. Then, a film 106 is selectively formed on the surface of the wiring 105. With the wiring parts 105 and 106 processed in this way as the masks, impurities are introduced into the semiconductor 103 in the self-aligning mode. After the impurity introduction, a part of or all of the film 106 formed on the surface of the wiring 105 is removed, and a boundary X or at least a part in the vicinity of the boundary between an active region and the impurity region is exposed. Then, laser light (a) or intense light, which is equivalent to the laser light, is applied to the upper surface. Thus, the crystalline property of the region 107, wherein the impurities are introduced, is improved. Furthermore, e.g. the wiring 105 undergoes anodic oxidation 108 again after the irradiation with the laser light.

(51)Int.Cl.⁵H 01 L 21/336
29/784
21/20

識別記号

府内整理番号

F I

技術表示箇所

8122-4M
9056-4M
9056-4M

H 01 L 29/ 78

3 1 1 P
3 1 1 G

審査請求 未請求 請求項の数 5 FD (全 8 頁) 最終頁に続く

(21)出願番号

特願平5-23286

(22)出願日

平成5年(1993)1月18日

(71)出願人 000153878

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72)発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72)発明者 竹村 保彦

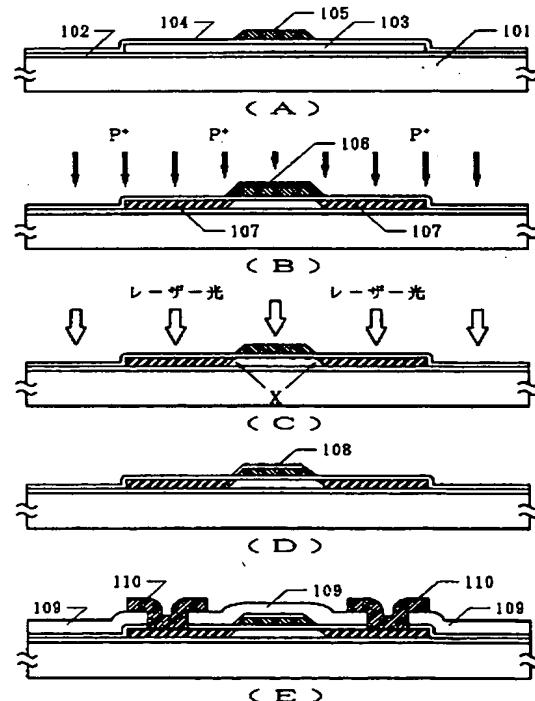
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(54)【発明の名称】 M I S型半導体装置とその作製方法

(57)【要約】

【目的】 信頼性の高いM I S型半導体装置を低温プロセスによって作製することを目的とする。

【構成】 M I S型半導体装置の作製方法に關し、半導体基板もしくは半導体薄膜に選択的に不純物領域を形成し、ついで、前記不純物領域とそれに隣接する活性領域の境界にもレーザーもしくはそれと同等な強光が照射されるようにして、レーザーもしくはそれと同等な強光を上面から照射することによって、活性化をおこなうことを特徴とする半導体装置の作製方法。



【特許請求の範囲】

【請求項1】 半導体上に絶縁被膜を介して導電性材料によって配線を形成する工程と、前記配線表面に選択的に被膜を形成する工程と、前記工程によって処理された配線部をマスクとして、自己整合的に半導体中に不純物を導入する工程と、不純物導入後、配線表面に形成された被膜の一部もしくは全てを除去して活性領域と不純物領域との境界またはその近傍の少なくとも一部を露出せしめ、これに上面よりレーザーもしくはそれと同等な強光を照射することによって、不純物の導入された領域の結晶性を改善せしめる工程とを有することを特徴とするMIS型半導体装置の作製方法。

【請求項2】 請求項1において、レーザー照射後、再び、該配線を陽極酸化する工程を有することを特徴とするMIS型半導体装置の作製方法。

【請求項3】 不純物領域とゲート電極部が実質的に同一形状であり、かつ、オフセット状態であることを特徴とするMIS型半導体装置。

【請求項4】 ゲート電極部には酸化物がなく、かつ、ゲート電極部と不純物領域は0.1~0.5μmのオフセット状態であることを特徴とするMIS型半導体装置。

【請求項5】 同一基板上の配線において、ゲート電極部の酸化物と、キャパシタの電極を構成する配線の酸化物の厚さが異なることを特徴とするMIS型半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、金属(M)一絶縁物(I)一半導体(S)型半導体装置、いわゆるMIS型半導体装置(絶縁ゲート型半導体装置ともいう)の作製方法に関する。MIS型半導体装置には、例えば、MOSトランジスタ、薄膜トランジスタ等が含まれる。

【0002】

【従来の技術】 従来、MIS型半導体装置は自己整合法(セルフアライン法)を用いて作製してきた。この方法は半導体基板もしくは半導体被膜上にゲート絶縁膜を介してゲート配線(電極)を形成し、このゲート配線をマスクとして、前記半導体基板もしくは半導体被膜中に不純物を導入するものである。不純物を導入する手段としては、熱拡散法、イオン注入法、プラズマドーピング法、レーザードーピング法が用いられる。このような手段によって、ゲート電極との端部と不純物領域(ソース、ドレイン)の端部がほぼ一致し、ゲート電極と不純物領域が重なるオーバーラップ状態(寄生容量の発生の原因)やゲート電極と不純物領域が離れるオフセット状態(実効移動度の低下の原因)をなくすことができた。

【0003】 ただし、従来の工程では、不純物領域と、それに隣接し、ゲート電極の下部にある活性領域(チャネル形成領域)のキャリヤ濃度の空間的变化が大きすぎ

て、著しく大きな電界を生じせしめ、特にゲート電極に逆バイアス電圧を印加した場合のリーク電流(OFF電流)が増大するという問題があった。

【0004】 この問題に対しては、本発明人らは、ゲート電極と不純物領域とをわずかにオフセット状態とすることによって改善できることを見出し、さらには、このオフセット状態を実現せしめるために、ゲート電極を陽極酸化可能な材料によって形成し、陽極酸化の結果、生成された陽極酸化膜をもマスクとして不純物導入をおこなうことによって、300nm以下のオフセット状態を再現性よく得ることを見出した。

【0005】 また、イオン注入法、プラズマドーピング法のごとき高速イオンを半導体基板もしくは半導体被膜に照射することによって不純物導入をおこなう方法においては、イオンの侵入した部分の半導体基板もしくは半導体被膜の結晶性が損なわれるため、結晶性を改善せしめること(活性化)が必要とされた。従来は、主として600℃以上の温度において熱的に結晶性の改善をおこなったが、近年にはプロセスの低温化が求められる傾向にあり、本発明人等は、レーザーもしくはそれと同等な強光を照射することによっても活性化をおこなえること、およびその量産性が優れていることをも示した。

【0006】 図2に示すのは、上記の思想に基づいた薄膜トランジスタの作製工程である。まず、基板201上に下地絶縁膜202を堆積し、さらに、島状の結晶性半導体領域203を形成し、これを覆って、ゲート絶縁膜として機能する絶縁膜204を形成する。そして、陽極酸化可能な材料を用いてゲート配線205を形成する。

(図2(A))

【0007】 次に、ゲート配線を陽極酸化し、ゲート配線の表面に厚さ300nm以下、好ましくは250nm以下の陽極酸化物206を形成する。そして、この陽極酸化物をマスクとして、イオン注入法、イオンドーピング法等の手段によって、自己整合的に不純物(例えば、磷(P))を照射し、不純物領域207を形成する。

(図2(B))

【0008】 その後、上面からレーザー光等の強光を照射することによって不純物の導入された領域の活性化をおこなう。(図2(C)) 最後に、層間絶縁物208を堆積し、不純物領域にコンタクトホールを形成して、これに接続する電極209を形成して、薄膜トランジスタが完成する。(図2(D))

(図2(D))

【0009】 【発明が解決しようする課題】 しかしながら、上記に示した方法では、不純物領域と活性領域(ゲート電極の直下の半導体領域で、不純物領域に挟まれている)の境界(図2(C)において、Xで指示する)が不安定であり、長時間の使用においてはリーク電流の増大等の問題が生じ、信頼性が低下することが明らかになった。すなわち、工程から明らかなように、活性領域は実質的に、

最初から結晶性は変化しない。一方、活性領域に隣接する不純物領域は、最初、活性領域と同じ結晶性を有しているが、不純物導入の過程で結晶性が破壊される。不純物領域は後のレーザー照射工程によって回復されるが、当初の結晶性と同じ状態を再現することは難しく、特に不純物領域の中でも活性領域に接する部分は、レーザー照射の際に影となる可能性が高く、十分な活性化がおこなえないことが明らかになった。すなわち、不純物領域と活性領域の結晶性が不連続であり、このためトラップ準位等が発生しやすい。特に不純物の導入方法として高速イオンを照射する方式を採用した場合には、不純物イオンが散乱によって、ゲート電極部の下に回り込み、その部分の結晶性を破壊する。そして、このようなゲート電極部の下の領域はゲート電極部が影となってレーザー等によって活性化することが不可能であった。

【0010】この問題点を解決する一つの方法は、裏面からレーザー等の光照射をおこなって、活性化することである。この方法では、ゲート配線が影となるないので、活性領域と不純物領域の境界も十分に活性化される。しかし、この場合には基板材料が光を透過することが必要であり、当然のことながら、シリコンウェーファー等を用いる場合には利用できない。また、多くのガラス基板は300nm以下の紫外光を透過することは難しいので、例えば、量産性に優れたKrFエキシマーレーザー(波長248nm)は利用できない。

【0011】本発明は、かかる問題点を顧みてなされたものであり、活性領域と不純物領域の結晶性の連続性を達成することによって、信頼性の高いMIS型半導体装置、例えば、MOSトランジスタや薄膜トランジスタを得ることを課題とする。

【0012】

【問題を解決するための手段】本発明は、レーザーもしくはフラッシュランプ等の強力な光源より発せられる光エネルギーを上面より不純物領域に照射してこれを活性化せしめる際に、不純物領域のみでなくそれに隣接する活性領域の一部、特に不純物領域と活性領域の境界部分にも光エネルギーを照射するものであり、かかる目的を遂行するためにゲート電極部を構成する材料の一部を除去することを特徴とする。

【0013】本発明の構成は、結晶性の半導体基板もしくは半導体被膜上にゲート絶縁膜として機能する絶縁被膜を形成したのち、適切な材料によってゲート配線(ゲート電極)を形成し、これを電極として、電気化学的な作用(例えば、電気メッキ等)によってその表面に導伝材料等の被膜を電気化学的に被着せしめる工程と、このようにして処理されたゲート電極部(ゲート電極とその表面に被着した導伝材料)をマスクとして自己整合的に不純物を半導体基板もしくは半導体被膜中に導入する工程と、先に被着された材料の一部もしくは全てを除去して、不純物領域と活性領域の境界に光エネルギーが照射

できる状態とし、この状態で光エネルギーを照射して、活性化をおこなう工程とを有する。

【0014】必要であれば、ゲート電極を陽極酸化可能な材料によって構成し、光エネルギーを照射した後、陽極酸化することによってその表面を絶縁性の高い陽極酸化物で被覆し、また、層間絶縁物等を設けて上部配線との容量結合を低下させる構造としてもよいことはいうまでもない。

【0015】本発明において用いることが好ましい陽極酸化可能な材料としては、アルミニウム、チタン、タンタル、シリコン、タングステン、モリブデンである。これらの材料の単体もしくは合金を単層もしくは多層構造としてゲート電極とするとよい。これらの材料にさらに微量の他の元素を加えてよいことは言うまでもない。

また、陽極酸化法としては、電解溶液中で酸化をおこなう湿式法が一般的であるが、公知のプラズマ陽極酸化法(減圧プラズマ雰囲気中で酸化をおこなう)を使用してもよいことはいうまでもない。さらに、陽極酸化に限らず、他の適当な酸化方法を用いて配線を酸化してもよいことは言うまでもない。また、本発明において用いられる光エネルギーの源泉(ソース)としては、KrFレーザー(波長248nm)、XeClレーザー(308nm)、ArFレーザー(193nm)、XeFレーザー(353nm)等のエキシマーレーザーや、Nd:YAGレーザー(1064nm)およびその第2、第3、第4高調波、炭酸ガスレーザー、アルゴンイオンレーザー、銅蒸気レーザー等のコヒーレント光源、およびキセノンフラッシュランプ、クリプトナークランプ等の非コヒーレント光源が適している。

【0016】このような工程で得られたMIS型半導体装置は、上方から見たときに、不純物領域(ソース、ドレン)の接合とゲート電極部(ゲート電極もしくはこれに付随している陽極酸化物を含む)が実質的に同一形状であること(相似形であること)、しかも、ゲート電極(導伝面を境界とする。陽極酸化物等の付随物は含まない)と不純物領域がオフセット状態となっていることが特徴である。また、陽極酸化物等の酸化物を有しない場合にはゲート電極の周囲には酸化物がなく、かつ、不純物領域とゲート電極がオフセット状態となっており、オフセットの幅は0.1~0.5μmが好ましい。

【0017】本発明においては、例えば、配線ごとに印加電圧を加減することによって同一基板上であっても陽極酸化物等の酸化物の厚さを変更することもできる。この場合にはゲート電極部の酸化物の厚さとキャパシタ(あるいは配線の交差する部分)の部分の酸化物の厚さをそれぞれの目的に適したものとなるように、独立に設定してもよい。

【0018】

【実施例】【実施例1】図1に本実施例を示す。本実施例は絶縁基板上に薄膜トランジスタを形成するもので

ある。基板101は、ガラス基板で、例えば、コーニング7059等の無アルカリガラス基板や石英基板等を使用できる。コストを考慮して、ここではコーニング7059基板を用いた。これに下地の酸化膜として酸化珪素膜102を堆積した。酸化珪素膜の堆積方法は、例えば、スパッタ法や化学的気相成長法(CVD法)を使用できる。ここでは、TEOS(テトラ・エトキシ・シリコン)と酸素を材料ガスとして用いて、プラズマCVD法によって成膜をおこなった。基板温度は200~400°Cとした。この下地酸化珪素膜の厚さは、500~2000Åとした。

【0019】次いで、アモルファスシリコン膜を堆積し、これを島状にパターニングした。アモルファスシリコン膜の堆積方法としてはプラズマCVD法や減圧CVD法が用いられる。ここでは、モノシリラン(SiH₄)を材料ガスとして、プラズマCVD法によってアモルファスシリコン膜を堆積した。このアモルファスシリコン膜の厚さは200~700Åとした。そして、これにレーザー光(KrFレーザー、波長248nm、パルス幅20nsec)を照射した。レーザー照射前には基板を真空中で0.1~3時間、300~550°Cに加熱して、アモルファスシリコン膜に含有されている水素を放出させた。レーザーのエネルギー密度は250~450mJ/cm²とした。また、レーザー照射時には、基板を250~550°Cに加熱した。この結果、アモルファスシリコン膜は結晶化し、結晶性シリコン膜103となつた。

【0020】次いで、ゲート絶縁膜として機能する酸化珪素膜104を厚さ800~1200Å形成した。ここではその作製方法は下地酸化珪素膜102と同じ方法を採用した。さらに、陽極酸化可能な材料、例えば、アルミニウム、タンタル、チタン等の金属、シリコン等の半導体、窒化タンタル、窒化チタン等の導電性金属窒化物を用いてゲート電極105を形成した。ここではアルミニウムを使用し、その厚さは2000~10000Åとした。このとき、アルミニウムのパターニングを磷酸によっておこなつたため、等方的にアルミニウム被膜がエッティングされ、図に示すような断面形状となつた。(図1(A))

【0021】次に、このゲート配線105に電流を通じ、その表面に厚さ2000~2500Åの金属被膜106を被着形成した。この金属被膜の形成はいわゆる電気メッキのプロセスと同様な手段を使用し、金属被膜の材料としては、銅、ニッケル、クロム、亜鉛、錫、金、銀、白金、パラジウム、ロジウム等が使用できるが、これらの中でもエッティングが容易なものが好ましい。本実施例ではクロムを用いた。まず、無水クロム酸を0.1~2%硫酸溶液に溶解させて、1~30%の溶液とする。そして、この溶液に基板を浸し、ゲート配線を陰極に接続し、一方、対向電極(陽極)としては白金電極を

用い、45~55°Cで100~4000A/m²の電流を流した。

【0022】以上の工程によって、ゲート配線の表面をクロム被膜で被覆した後、ボロン(B)もしくは燐(P)のイオンを照射して不純物領域107を形成した。イオンの加速エネルギーはゲート絶縁膜104の厚さによって変更されるが、典型的にはゲート絶縁膜が1000Åの場合には、ボロンでは50~65keV、燐では60~80keVが適していた。また、ドーズ量は10²~2×10¹⁴cm⁻²~6×10¹⁵cm⁻²が適していたが、ドーズ量が低いほど信頼性の高い素子が得られることが明らかになった。このようにクロム被膜が存在する状態で不純物の導入をおこなつた結果、ゲート電極(アルミニウム)と不純物領域はオフセットの状態となつた。なお、図で示した不純物領域の範囲は名目的なもので、実際にはイオンの散乱等によって回り込みがあることはいうまでもない。(図1(B))

【0023】さて、不純物ドーピングが終了した後、先のメッキ工程によって形成したクロム膜のみをエッティングした。1~5%酒石酸のエチレングリコール溶液中に基板を浸し、ゲート配線を陽極に接続し、陰極として白金電極を用い、これに電流を通じることによって、ゲート配線の表面に被着していたクロム被膜を酸化、溶解せしめた。溶液中に溶解したクロムは陰極の白金電極上に被着するので、これを再利用することにより、有害なクロムを外部に排出しない閉システムができる。ゲート配線上のクロムが全て除去されると、今度はゲート配線のアルミニウムが陽極酸化されるが、これは電圧を制限することにより抑制できる。例えば、印加電圧を10V以下とすればアルミニウムの陽極酸化はほとんど進行しない。

【0024】このようにして、クロム被膜のみをエッティングして、配線の表面を露出させることができた。その結果、図1(C)に示すように不純物領域107とそれにはさまれた活性領域の境界(Xと指示)が現れた。そして、このような状態でレーザー照射によって不純物領域の活性化をおこなつた。レーザーはKrFエキシマーレーザー(波長248nm、パルス幅20nsec)を使用し、レーザーのエネルギー密度は250~450mJ/cm²とした。また、レーザー照射時には、基板を250~550°Cに加熱すると、より効果的に活性化できた。典型的には、燐がドープされたものでドーズ量が1×10¹⁵cm⁻²、基板温度250°C、レーザーエネルギー300mJ/cm²で500~1000Ω/□のシート抵抗が得られた。また、本実施例では不純物領域と活性領域の境界(xと指示)もレーザーによって照射されるので、従来の作製プロセスで問題となつた境界の部分の劣化による信頼性の低下は著しく減少した。なお、本工程では露出されたゲート配線にレーザー光が照射するので、配線表面は十分にレーザー光を反射するか、あ

るいは配線自体が十分な耐熱性を有していることが望まれる。表面の反射率が良くない場合には、上面に耐熱材料を設ける等の工夫をすることが望まれる。(図1 (C))

【0025】その後、ゲイト電極を陽極酸化し、その表面に厚さ1500～2500Åの陽極酸化物108を形成した。陽極酸化は、1～5%のクエン酸のエチレングリコール溶液中に基板を浸し、全てのゲート配線を統合して、これを正極とし、一方、白金を負極として、印加する電圧を1～5V／分で昇圧することによっておこなった。この陽極酸化物108は、陽極酸化工程で導体面が後退することによって薄膜トランジスタのオフセットの大きさを決定するだけではなく、上部配線との短絡を防止する効果も有するものであるので、その目的に適切な厚さが選択されればよく、場合によってはこのような陽極酸化物を形成せずともよい。(図1 (D))

【0026】最後に層間絶縁物として酸化珪素膜109を厚さ2000～1000Å、例えばTEOSを材料ガスとしたプラズマCVD法によって形成し、これにコンタクトホールを穿って金属等の材料、例えば厚さ200Åの窒化チタンと厚さ5000Åのアルミニウムの多層膜からなる電極110を不純物領域に接続して、薄膜トランジスタが完成された。(図1 (E))

【0027】【実施例2】図3および図4に本実施例を示す。図3は、図4(上面図)の一点鎖線での断面図である。まず、基板(コーニング7059)301上に下地の酸化珪素膜を形成し、さらに、アモルファスシリコン膜を厚さ1000～1500Å形成した。そして、窒素もしくはアルゴン雰囲気において、600℃で24～48時間アニールすることにより、アモルファスシリコンを結晶化せしめた。このようにして結晶性の島状シリコン302を形成した。さらに、ゲート絶縁膜として機能する厚さ1000Åの酸化珪素膜303を堆積し、アルミニウムの配線(厚さ5000Å)304、305、306を形成した。(図3 (A))

【0028】そして、基板を電解溶液中に浸し、これらの配線304～306に電流を通じ、その表面に厚さ2000～2500Åのクロム被膜307、308、309を形成した。そして、このような処理がなされた配線をマスクとして、プラズマドーピング法によってシリコン膜302中に不純物を導入し、不純物領域310を形成した。(図3 (B) および図4 (A))

【0029】次にクロム被膜307～309のみをエッティングして、配線の表面を露出させ、この状態でKrFエキシマーレーザー光を照射することによって活性化をおこなった。(図3 (C))

その後、配線306のうち、コンタクトホールを形成する部分にのみ厚さ1～5μmのポリイミドの被膜311を設けた。ポリイミドとしては、バーニングの容易さから感光性のものが使用しやすい。(図3 (D) および

図4 (B))

そして、この状態で基板を電解溶液中に浸し、配線304～306に電流を通じ、厚さ2000～2500Åの陽極酸化物312、313、314を形成した。ただし、先にポリイミドが設けられた部分は陽極酸化されず、コンタクトホール315が残る。(図3 (E))

【0030】最後に層間絶縁物として厚さ2000～5000Åの酸化珪素膜316を堆積し、コンタクトホールを形成した。また、配線305の一部(図4 (C))の10点線で囲まれた部分319)では層間絶縁物を全て除去して陽極酸化物313を露出せしめた。そして、窒化タンタル(厚さ500Å)とアルミニウム(厚さ3500Å)の多層膜を用いた配線・電極317、318を形成し、回路を完成させた。このとき、配線318は319で配線305とキャパシタンスを構成し、さらに、コンタクト320で配線306に接続している。(図3 (F) および図4 (C))

【0031】【実施例3】図5に本実施例を示す。基板(コーニング7059)501上に下地の酸化珪素膜20を形成し、さらに、アモルファスシリコン膜を厚さ1000～1500Å形成した。そして、窒素もしくはアルゴン雰囲気において、600℃で24～48時間アニールすることにより、アモルファスシリコンを結晶化せしめた。このようにして結晶性の島状シリコン502を形成した。さらに、ゲート絶縁膜として機能する厚さ1000Åの酸化珪素膜503を堆積し、タンタルの配線(厚さ5000Å)504、505、506を形成した。(図5 (A))

【0032】そして、これらの配線表面に電解メッキで30厚さ500～1500Åのクロム被膜507、508、509を形成した。そして、このように処理された配線をマスクとして、プラズマドーピング法によってシリコン膜502中に不純物を導入し、不純物領域510を形成した。(図5 (B))

次にクロム被膜507～509のみをエッティングして、不純物領域510とその間の活性領域の境界を露出させ、この状態でKrFエキシマーレーザー光を照射することによって活性化をおこなった。(図5 (C))

その後、配線504を覆って、厚さ1～5μmのポリイミドの被膜511を設けた。ポリイミドとしては、バーニングの容易さから感光性のものが使用しやすい。(図5 (D))

そして、この状態で電解溶液中に配線504～506に電流を通じ、厚さ2000～2500Åの陽極酸化物512、513を形成した。ただし、配線504のうち先にポリイミドが設けられた部分は陽極酸化されなかつた。(図5 (E))

【0033】最後に層間絶縁物として厚さ2000～5000Åの酸化珪素膜514を堆積し、不純物領域510にコンタクトホールを形成した。また、配線506の

一部では層間絶縁物を全て除去して陽極酸化物513を露出せしめた。そして、窒化チタン(厚さ500Å)とアルミニウム(厚さ3500Å)の多層膜を用いた配線・電極515、516を形成し、回路を完成させた。このとき、配線516は517で配線506と陽極酸化物513を誘電体とするキャパシタを構成する。(図5(F))

【0034】

【発明の効果】本発明によって、低温プロセスによって作製されるMOSトランジスタ、薄膜トランジスタ等のMIS型半導体素子の信頼性を向上せしめることができた。具体的には、ソースを接地し、ドレインもしくはゲートの一方もしくは双方に+20V以上、もしくは-20V以下の電位を加えた状態で10時間以上放置した場合でもトランジスタの特性には大きな影響はなかった。実施例は薄膜トランジスタが中心であったが、いまでもなく、本発明の効果は、単結晶半導体基板上に作製されるMIS型半導体装置でも同じく得られるものであり、また、半導体材料に関しては、実施例で取り上げたシリコン以外にも、シリコン-ゲルマニウム合金、炭化珪

素、ゲルマニウム、セレン化カドミウム、硫化カドミウム、砒化ガリウム等においても同等な効果が得られる。以上のように、本発明は工業上有益な発明である。

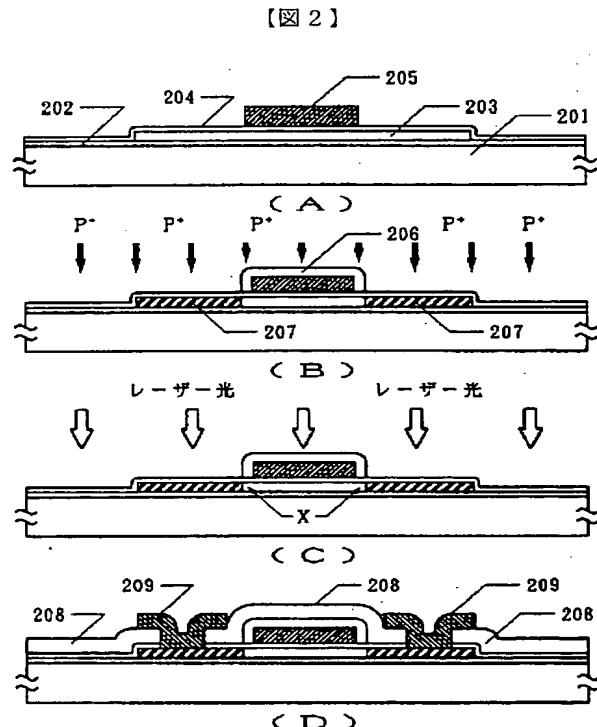
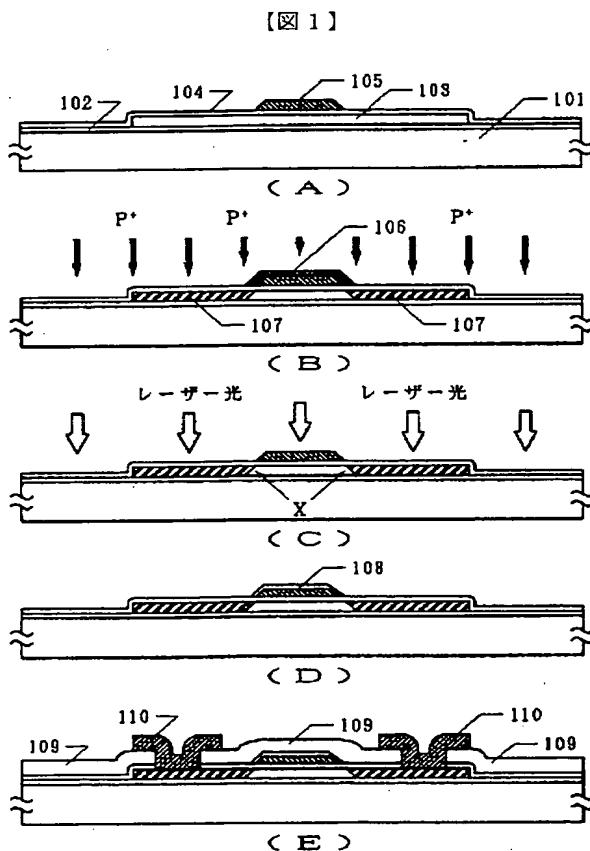
【図面の簡単な説明】

【図1】 本発明の実施例を示す。(断面図)
 【図2】 従来の技術の実施例を示す。(断面図)
 【図3】 本発明の実施例を示す。(断面図)
 【図4】 本発明の実施例を示す。(上面図)
 【図5】 本発明の実施例を示す。(断面図)

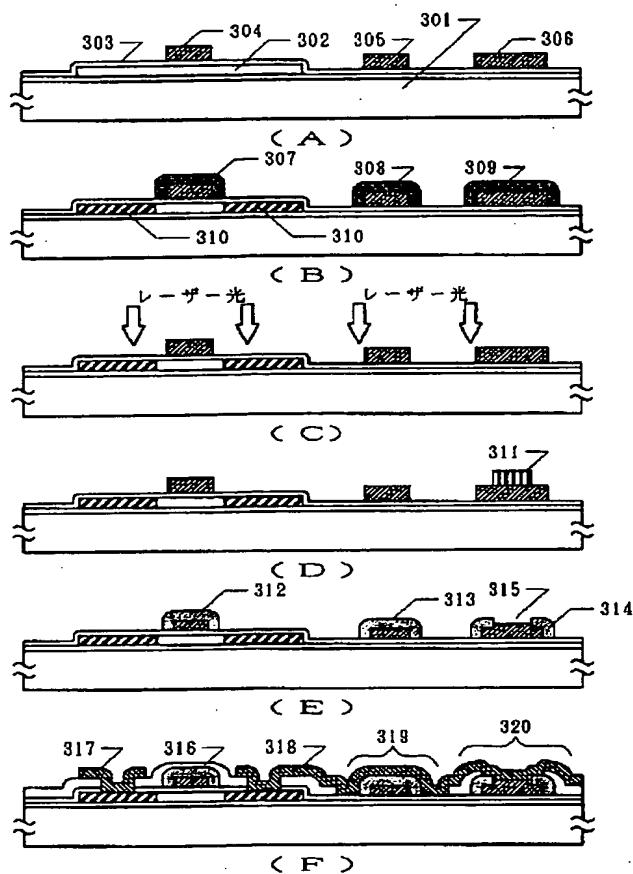
【符号の説明】

101 基板
 102 下地絶縁膜
 103 島状半導体領域
 104 ゲート絶縁膜
 105 ゲート電極(ゲート配線)
 106 メッキされた被膜
 107 不純物領域
 108 陽極酸化物
 109 層間絶縁物
 110 電極(配線)

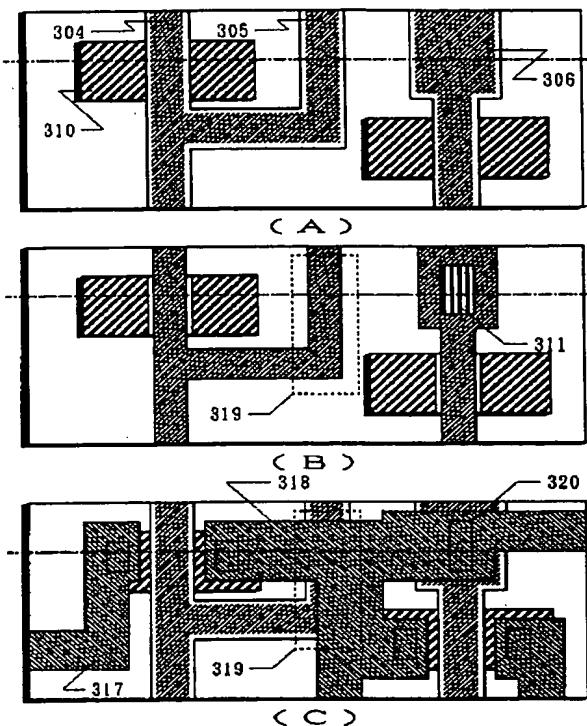
20



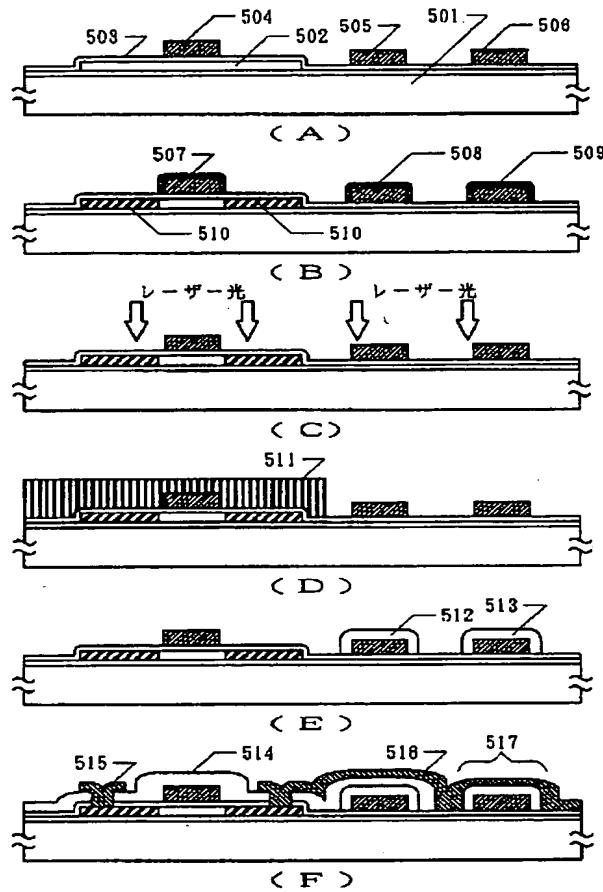
【図3】



【図4】



【図5】



フロントページの続き

(51) Int. Cl. 5

識別記号 庁内整理番号

9056-4M

F I

H 0 1 L 29/78

技術表示箇所

3 1 1 Y